

③ Int. Cl.  
H 01 1

② 日本分類  
99(5) E 3  
99(5) H 0

④ 日本国特許庁

① 特許出願公告

昭48-22022

## 特 許 公 報

④ 公告 昭和48年(1973)7月8日

発明の数 1

(全3頁)

1

### ④ MOSトランジスタ集積回路

① 特 願 昭44-98485

② 出 願 昭44(1969)11月21日

③ 発 明 者 江崎豪弥

門真市大字門真1006 松下電器  
産業株式会社内

同 大曾根隆志

同所

同 石原健

同所

④ 出 願 人 松下電器産業株式会社

門真市大字門真1006

⑤ 代 理 人 弁理士 芝崎政信

### 図面の簡単な説明

第1図は本発明の実施例の構成を示す図、第2図はその特性を示す線図である。

### 発明の詳細な説明

本発明はゲルマニウム薄膜をMOSトランジスタのゲート電極金属及び抵抗体とすることを特徴とするロジックMOS I.C.であつて、その目的とするところは、MOSトランジスタの閾値電圧を下げ、低電圧電源動作及びnチャネルエンハンスメント動作を可能にすると共に高抵抗体をI.C.チップ内に組込んでMOS I.C.の特性を向上させることにある。

従来のMOS I.C.は駆動電源電圧が高く、バイポーラ・トランジスタとの直結合が困難で用途に制限がある。現在、Pチャネルエンハンスメント型MOS I.C.が主流を占めているが、動作のスピード向上、及び集積度の向上ができ、しかもバイポーラI.C.と同一電源で駆動できるnチャネルエンハンスメント型MOS I.C.の開発が要請されている。

電源電圧を下げ、nチャネルエンハンスメント型動作をさせるためには、MOSトランジスタ

2

の閾値電圧を下げなければならない、そのために次の方法が考えられている。(1)清浄な絶縁ゲート膜をつくる。(2)絶縁ゲート膜をかえるか、又は多層とする(例えば、シリコン窒化膜、アルミナ膜等を用いる)(3)ゲート電極に仕事関数の大きい金属を用いる。(4)基板の比抵抗を下げる。

ところで、(1)はMOSトランジスタの安定化のためには無条件に必要であつて、いかなる場合でも満足されなければならない要件である。(2)のシリコン窒化膜やアルミナ膜は、現在広く用いられているシリコン酸化膜ほどその性質が解明されていないので、今後の研究がまたれている。現在のところ、多層構造が用いられており、シリコン基板との間にシリコン酸化膜をはさんで特性の向上を図っているが、この方法は絶縁ゲート膜を形成するのに、非常によくコントロールされた工程が1つ増加するのが欠点である。(3)の方法としては、ゲート金属電極に金、銀、白金、シリコン電極等が考えられるが、金、銀、白金は絶縁ゲート酸化膜との密着性が悪く、MOSトランジスタの特性に経時変化がみられる。シリコン電極はゲート酸化膜を侵さずにエッチングをすることが困難であり、また、シリコン膜の形成には電子ビーム蒸着か、或は気相成長法が必要である。(4)はMOS I.C.の設計上自ずから制限があつて自由に変えることができない。すなわち、基板の比抵抗を下げればノイズマージンが低下し、閾値電圧の温度依存性が大きくなり、また、相互コンダクタンスも低くなる。以上述べたように、MOSトランジスタの閾値電圧を下げるために考えられている従来の方法には多くの障害がある。

一方、MOS I.C.の負荷には次のような形式が考えられる。(1)MOSトランジスタのドレインとゲートを接続してMOS負荷とする。(2)MOSトランジスタのゲートにドレイン電圧より十分高い電圧を加えた状態でMOS負荷とする。(3)相補型MOSトランジスタを用いる。(4)外付け抵抗を

3

負荷とする。ところで(1)は電源電圧を高くしないと十分大きな出力電圧がとれない、動作スピードが遅くなる、バイアス温度処理に対して弱い、等の欠点がある。(2)は、出力電圧はドレイン電圧まで出るが2電源が必要であり、また、パターン設計上、ゲートに加える電圧の配線も必要となる。(8)は消費電力が少く動作スピード向上の面からは有利であるが、チップ面積が大きくなり工程数が増加しコスト高となる欠点があり、しかもまだ確立された技術ではない。(4)は外付けであるが故に作業に人手を要する。以上述べたように、MOSI.C.の負荷として考えられている従来の方式は多くの問題点をかかえている。

本発明は、ゲート電極に仕事関数の大きい金属としてゲルマニウム蒸着膜を用い、かつ、そのゲルマニウム蒸着膜をMOSトランジスタの負荷抵抗として利用することを特徴とする。本発明によると、従来のアルミゲート電極のMOSトランジスタに比し、閾値電圧が約1V低下し、負荷抵抗として用いたときのインバータ特性も従来のMOSトランジスタ負荷に比べてかなり向上する。第1図は本発明の実施例でイはインバータの構造を、ロはその断面を示している。図において1は電源電圧配線、2はゲルマニウム薄膜抵抗、2'はゲルマニウム薄膜、8はゲルマニウム薄膜ゲート、4はソース、5はドレイン、6は接地配線、7はシリコン基板、8は酸化膜、9はゲート配線、10は配線用金属(銀)で、シリコン基板7にソース4及びドレイン5を拡散法で形成し、酸化膜8を形成せしめた後ゲルマニウム薄膜2、2'、8を蒸着法によつて形成し、特性を改善するために、更にその上にゲルマニウム薄膜と合金化しにくい配線用金属(例えば銀)10を蒸着し、負荷抵抗の部分(2)のみ、銀を取除く。

第2図は従来の、MOSトランジスタのドレインとゲートを接続して抵抗としたときのインバータ特性イと本発明によるゲルマニウム蒸着膜を負荷抵抗とし、ゲルマニウムゲート電極を用いたときのインバータ特性ロとを比較した図である。ただし、シリコン基板はN型 $8\Omega\text{-cm}$ を用い、ゲート酸化膜は $1500\text{\AA}$ 、ゲルマニウム負荷抵抗は

4

$80\text{K}\Omega$ 、MOSトランジスタ負荷のコンダクタンス $g_{me}=4\mu\text{V/V}$ 、ドライバーMOSトランジスタのコンダクタンス $g_{md}=100\mu\text{V/V}$ 、又、アルミニウム蒸着膜をゲート電極とした時の閾値電圧は $-1.5\text{V}$ 、ゲルマニウム蒸着膜をゲート電極とした時の閾値電圧は $-0.5\text{V}$ とする。なお、電源電圧は $-7\text{V}$ である。図からわかるように、抵抗負荷では出力電圧の高レベルは電源電圧と等しくなり、低レベルもMOSトランジスタ負荷に比べて低くとれるからノイズマージンが大きくとれ、設計上有利である。

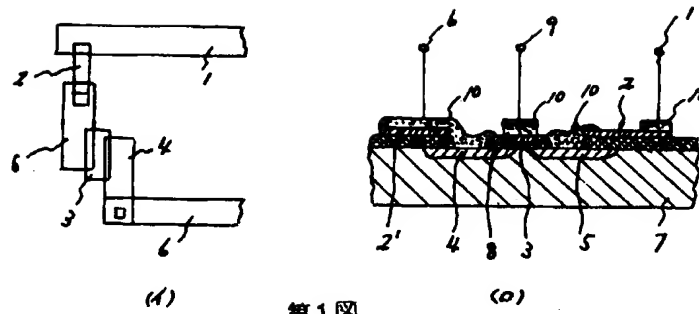
本発明は以上のような構成及び作用を有するので、以下述べるような効果がある。(1)ゲルマニウム蒸着膜は普通P型になるのでゲート電極として用いるとMOSトランジスタの閾値電圧がアルミニウムゲート電極に比べて約1V低下する、(2)ゲルマニウム薄膜を負荷抵抗とすることによつて、MOSI.C.の特性を向上することができる。(8)低電圧電源による駆動が可能となり、nチャネルエンハンスメント型MOSI.C.が有効に使用される。(4)シリコンゲートに比べて製造及びエッチングが容易である。すなわち、ゲルマニウム蒸着膜は、特に不純物の添加を行なわなくてもP型を呈するのでそのまま使用できるが、シリコンの場合はイオン注入又は拡散が必要である。また、シリコンは融点が高いのでその蒸着には気相成長装置を必要とするが、ゲルマニウムは真空蒸着装置によつて簡単に蒸着することができるので、気相成長装置を使用しないMOSI.C.の製造に有利である。(5)配線をゲルマニウム蒸着膜と他の金属(銀)との二重構造とすることができるので、従来、問題となつているアルミニウム配線と金線とのバンプブレークが防止できる。

#### ⑥特許請求の範囲

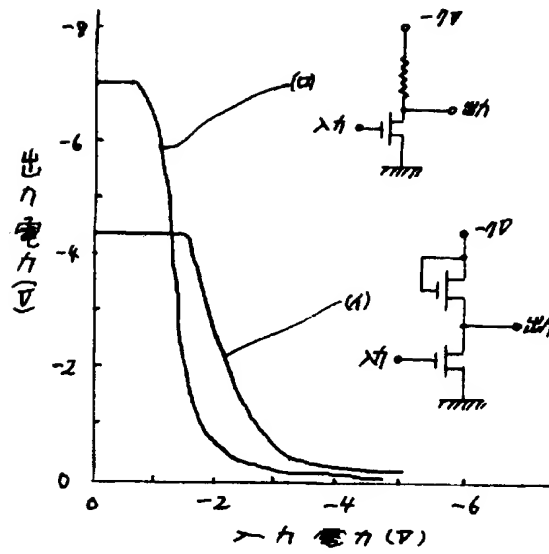
1 ゲルマニウム薄膜をゲート電極金属、および抵抗体とすることを特徴とするMOSトランジスタ集積回路。

#### ⑦引用文献

仏国特許 1535286



第1図



第2図